

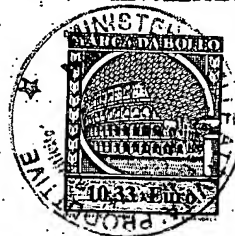


# Ministero delle Attività Produttive

Direzione Generale per lo Sviluppo Produttivo e la Competitività  
Ufficio Italiano Brevetti e Marchi  
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per **Invenzione Industriale**

N. RM2002 A 000465



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

Inoltre verbale di Scioglimento Riserve depositato alla Camera di Commercio di Roma n. RMR0864  
25/10/2002 (pag. 1) e disegni definitivi (pagg. 3).

CERTIFIED COPY OF  
PRIORITY DOCUMENT

Ro

12 AGO. 2003

IL DIRIGENTE

*Elena Marinelli*  
Sig.ra E. MARINELLI

## AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO MODULO A

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

## A. RICHIEDENTE (I)

1) Denominazione: STMicroelectronics S.r.l.  
 Residenza: AGRATE BRIANZA (Milano) codice: 00951900968

2) Denominazione: \_\_\_\_\_  
 Residenza: \_\_\_\_\_ codice: \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome: MAGGIONI Claudio ed altri cod. fiscale: \_\_\_\_\_  
 denominazione studio di appartenenza: JACOBACCI & PARTNERS S.p.A.  
 via: delle Quattro Fontane n. 15 città: ROMA cap: 00184 (prov): RM

## C. DOMICILIO ELETTIVO destinatario

via: \_\_\_\_\_ n. \_\_\_\_\_ città: \_\_\_\_\_ cap: \_\_\_\_\_ (prov): \_\_\_\_\_

## D. TITOLO

classe proposta (sez/cl/sci)

gruppo/sottogruppo

Memoria CAM non volatile di tipo NOR.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_ N° PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) DE SANDRE Guido 3) \_\_\_\_\_  
 2) \_\_\_\_\_ 4) \_\_\_\_\_

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

## SCIoglimento RISERVE

Data

N° Protocollo

1) \_\_\_\_\_  
 2) \_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 28: riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) \_\_\_\_\_  
 Doc. 2) 2 PROV n. tav. 03: disegno (obbligatorio se citato in descrizione, 1 esemplare) \_\_\_\_\_  
 Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale \_\_\_\_\_  
 Doc. 4) 1 RIS designazione inventore \_\_\_\_\_  
 Doc. 5) 1 RIS documenti di priorità con traduzione in italiano \_\_\_\_\_  
 Doc. 6) 1 RIS autorizzazione o atto di cessione \_\_\_\_\_  
 Doc. 7) 1 nominativo completo del richiedente \_\_\_\_\_

8) attestati di versamento, totale Euro duecentonovantuno/80COMPILATO IL 20 09 2002 FIRMA DEL (I) RICHIEDENTE (I) \_\_\_\_\_CONTINUA S/NO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA S/NO SI

## SCIoglimento RISERVE

Data

N° Protocollo

confronta singole priorità

Dr. Claudio MAGGIONI

N. 13 ALBO 13

(in proprio e per gli altri)

Camera di Commercio Industria Artigianato e Agricoltura Roma

codice 158

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

RM 2002 A.000465

L'anno DUEMILADUE, il giorno VENTI, del mese di SETTEMBREil (i) richiedente (i) sopraindicato (i) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraindicato.

## I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

G. L. B. L.

L'Ufficio Rogante  
Antonio Salerno

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE

NUMERO DOMANDA

RM 2002 A 000465

REG. A

DATA DI DEPOSITO

20 SET 2002

NUMERO BREVETTO

DATA DI RILASCIO

## A. RICHIEDENTE (I)

Denominazione

Residenza

## D. TITOLO

Memoria CAM non volatile di tipo NOR.

Classe proposta (sez./cl./scf)

(gruppo/sottogruppo)

## L. RIASSUNTO

Memoria CAM non volatile comprendente una molteplicità di celle di memoria ordinate in una matrice per righe e per colonne, una linea di parola (WL) e una linea di coincidenza (ML) associate ad ogni riga di celle e una prima (BLR) e una seconda (BLL) linea di bit associate ad ogni colonna di celle. Ogni cella comprende un primo elemento di memoria non volatile (F1) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla prima linea di bit (BLR) associata alla colonna contenente la cella e un secondo terminale collegato ad un nodo di coincidenza (MG) della cella e un secondo elemento di memoria non volatile (F2) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla seconda linea di bit (BLL) associata alla colonna contenente la cella e un secondo terminale collegato al nodo di coincidenza (MG) della cella.

Per rendere più rapida la ricerca di un dato nella memoria e più semplice la struttura circuitale della memoria, ad ogni riga di celle sono associate una linea di controllo di massa (GNDCTRL) e una linea di massa (GL) e ogni cella comprende, inoltre, un primo interruttore elettronico comandato (M1) collegato tra la linea di massa (GL) e la linea di coincidenza (ML) associata alla riga contenente la cella e avente un terminale di comando collegato al nodo di coincidenza (MG) della cella e un secondo interruttore elettronico comandato (M2) collegato tra il nodo di coincidenza (MG) della cella e la linea di massa (GL) associata alla riga contenente la cella e avente un terminale di comando collegato alla linea di controllo di massa (GNDCTRL) associata alla riga contenente la cella.

(Fig. 4)

## M. DISEGNO

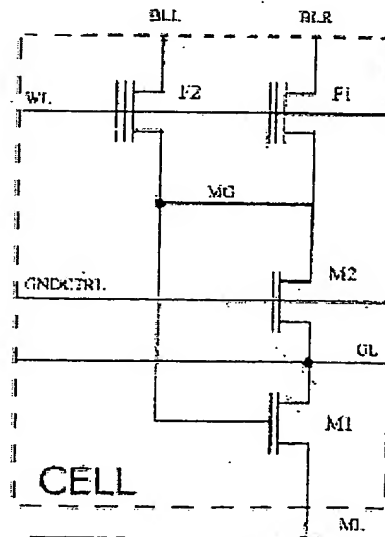


FIG.4



**"Memoria CAM non volatile di tipo NOR"**

**DESCRIZIONE**

La presente invenzione si riferisce alle memorie a semiconduttore ed in particolare ad una memoria di tipo CAM, cioè indirizzabile attraverso il contenuto, di tipo non volatile, come descritto nel preambolo della rivendicazione 1.

Le memorie a semiconduttore, come noto, sono costituite da un gran numero di celle ordinate in righe e in colonne a formare una matrice di celle. Ciascuna cella contiene una informazione binaria elementare (bit) e ad ogni riga della matrice corrisponde una parola binaria la cui lunghezza dipende dal numero di colonne.

Attualmente le memorie più diffuse sono le RAM statiche o dinamiche in cui è possibile accedere alla parola memorizzata in una riga della matrice semplicemente fornendone l'indirizzo. Nel caso di una matrice di celle CAM, invece, una parola binaria immagazzinata in una riga può essere ricercata inserendo la parola da cercare in un registro di comparazione associato alla matrice e confrontando il contenuto del registro col contenuto di ciascuna riga. L'esito della ricerca è disponibile attraverso l'osservazione della tensione su una linea di coincidenza (match line) comune a tutte le celle di una riga. In particolare, se il

**Dr. Claudio MAGGIONI**

N. iscriz. ALBO 113  
(in proprio e per gli altri)

valore di ogni bit della parola contenuta nel registro coincide con quello del bit corrispondente della parola della riga in esame, la tensione della match line rimane fissa ad un valore di precarica, mentre la mancata coincidenza anche di un solo bit tra le due parole binarie porta la tensione di tale linea al valore di massa. Ovviamente, in una matrice di celle tale operazione viene eseguita simultaneamente per tutte le parole binarie su ciascuna riga. In altri termini, una memoria CAM viene indirizzata mediante un confronto col suo stesso contenuto piuttosto che mediante uno specifico indirizzo.

Esistono sia celle CAM volatili che celle CAM non volatili. Le celle CAM volatili, inizialmente, sono state costruite a partire da celle RAM statiche (SRAM), aggiungendo semplicemente dei transistori in modo da realizzare una uscita collegata ad una linea di coincidenza. Di recente sono state utilizzate come celle base anche le celle RAM dinamiche (DRAM) per ottenere dei vantaggi in termini di area e di costo.

Le celle CAM realizzate sia con SRAM che con DRAM sono relativamente veloci, ma il loro contenuto binario va perduto quando si toglie l'alimentazione. Esse richiedono di essere riscritte, ad ogni accensione, utilizzando un'unità separata di memoria non volatile,

come un disco rigido (hard disk). Nelle CAM di tipo non volatile, al contrario, i dati rimangono immagazzinati anche quando viene tolta l'alimentazione ed inoltre ogni cella richiede un numero inferiore di transistori, pertanto minore area di silicio, rispetto alle celle realizzate con SRAM e DRAM.

Una cella di memoria CAM non volatile 210 nota, come è descritto ad esempio nel brevetto US 6317349 B1 e come è rappresentato nella figura 1 dei disegni allegati, comprende due transistori 211,212 di tipo floating-gate che hanno i terminali di gate connessi ad una stessa linea di parola (WL) 220, i terminali di source connessi insieme ad una linea di coincidenza (ML) 230 e i terminali di drain collegati ciascuno ad una delle linee di bit (BL,  $\overline{BL}$ ) 241,242. In generale, al posto dei due transistori ci potrebbero essere due qualunque elementi di memoria non volatile. Una molteplicità di celle uguali alla cella 210 della figura 1, ordinate in righe e colonne, forma una matrice di memoria CAM, schematizzata nella figura 2, in cui ciascuna riga di celle comprende una coppia di linee elettriche, rispettivamente linea di parola 220 e linea di coincidenza 230, e ciascuna colonna comprende due linee di bit indicate con 241,242.

Come si può notare, tutte le linee di parola 220 fanno capo ad un blocco esterno di controllo di riga 360,

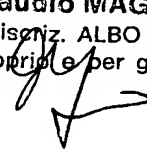
Dr. Claudio MAGGIONI  
N. Iscr. ALBO 113  
(in proprio e per gli altri)



le linee di coincidenza 230 sono connesse ad una estremità allo stesso blocco 360, mentre all'altra terminano in amplificatori di rivelazione 380 (sense amplifier). Circuiti pilota 371 e 372 sono accoppiati, rispettivamente, con le linee di bit 241 e 242 per polarizzarle durante le operazioni di ricerca, scrittura e cancellazione. Tutte le linee di bit della matrice fanno capo ad un blocco 370 che ha la funzione di registro e di circuito di controllo della ricerca. Il blocco 370 può contenere una parola da confrontare che viene applicata su un suo terminale d'ingresso indicato con DATA IN. Il blocco di controllo di riga 360 applica adeguate tensioni sulle linee di parola e sulle linee di coincidenza durante le operazioni di ricerca, scrittura e cancellazione selezionando una riga della matrice di celle in base ad un segnale d'ingresso ADRIN. Gli amplificatori di rivelazione 380 avvertono una variazione di tensione sulle rispettive linee di coincidenza 230 quando la parola d'ingresso, contenuta nel blocco 370, non coincide con quella memorizzata nella corrispondente riga della matrice.

E' possibile modificare la tensione di soglia dei transistori 211,212, facendo variare la carica elettrica delle rispettive floating-gate, agendo sui loro terminali elettrici. La tensione di soglia è "bassa", ed è

Dr. Claudio MAGGIONI  
N. iscriz. ALBO 113  
(in proprio e per gli altri)



determinata da parametri tecnologici e di progetto, quando non vengono accumulati elettroni nelle floating-gate e "alta" quando ciò si verifica. La tensione di soglia alta viene fissata ad un valore superiore alla tensione di alimentazione  $V_{CC}$  dei circuiti della memoria (es.  $V_{CC}=5V$ ), mentre quella bassa in genere non è superiore ad 1 volt. Convenzionalmente, se si pone alta la soglia del transistor 211 e bassa la soglia del transistor 212 l'informazione elementare immagazzinata nella cella 210 è un 1 logico. Fissando le soglie in maniera opposta si memorizza uno 0 logico. E' anche possibile memorizzare un terzo stato X, detto stato indifferente (don't care), programmando le soglie di entrambi gli elementi non volatili ad un valore elevato ( $>V_{CC}$ ). Le memorie associative che possono memorizzare questi tre stati, invece dei soli due stati logici fondamentali, sono chiamate memorie ternarie. Esse sono particolarmente vantaggiose in alcune applicazioni.

Prima della programmazione, il contenuto informativo della cella viene cancellato applicando una tensione sufficientemente negativa sulla linea di parola 220 (es. da -8V a -10V) e positiva sulla linea di coincidenza 230 (es. da 5V a 7V). La combinazione di tali tensioni sui terminali di gate e source dei transistori 211,212 causa un effetto tunnel capace di rimuovere elettroni dalla

Dr. Claudio MAGGIONI  
N. Isciz ALBO 113  
(in proprio e per gli altri)



floating-gate del transistor avente soglia alta portandolo, di conseguenza, alla tensione di soglia bassa. Tale operazione ha effetto (di minore entità) anche su un transistor avente già la soglia bassa. Occorrono perciò algoritmi opportuni per riprogrammare le celle le cui soglie si sono abbassate troppo e ottenere, quindi, un valore finale ben controllato. Il valore di tensione sulle linee di bit 241,242 non influisce sulla cancellazione.

L'operazione di scrittura di una cella CAM 210 si realizza ponendo a tensione elevata la linea di parola 220 (es. 8V) e fissando la linea di coincidenza 230 alla tensione di massa. Per memorizzare un 1 logico occorre aumentare la soglia del transistor 211 e lasciare bassa la soglia del transistor 212, perciò si applica una tensione intermedia (es. 5V) alla linea di bit 241 lasciando l'altra linea di bit 242 non connessa. Per memorizzare uno 0 logico si agisce in maniera contraria sulle linee di bit per aumentare la soglia del transistor 212. Per memorizzare lo stato indifferente X si applica la tensione intermedia ad entrambe le linee di bit 241 e 242.

L'operazione di ricerca nella cella 210 si realizza applicando alla linea di parola 220 la tensione di alimentazione  $V_{CC}$ , precaricando la linea di coincidenza

Dr. Claudio MAGGIONI  
N. iscriz. ALEO 113  
(in proprio e per gli altri.)

230 alla tensione  $V_{CC}$  ed applicando opportune tensioni sulle linee di bit 241,242. In particolare, se il dato memorizzato è un 1 logico (soglia di 211 alta e di 212 bassa) e si ricerca lo stesso bit nella cella, la linea di bit 241 viene connessa a massa mentre la linea di bit 242 è connessa alla tensione  $V_{CC}$ . In tal caso, nessuno dei due transistori 211,212 conduce e pertanto la tensione sulla linea di coincidenza 230 non cambia a conferma della corrispondenza tra bit immagazzinato e bit ricercato. Nel caso in cui si ricerca uno 0 logico è necessario polarizzare le linee di bit in maniera opposta al caso precedente e questa volta il transistor 212, che ha soglia bassa, conduce e tende a portare a massa la tensione della linea di coincidenza 230. Nel caso lo stato memorizzato sia X, nessuno dei due transistori 211 o 212 può condurre e perciò si ha sempre coincidenza tra bit cercato e bit memorizzato.

Le operazioni descritte vengono eseguite contemporaneamente in tutte le celle di ciascuna riga della matrice. Quando la parola contenuta nel blocco 370 viene trovata in una riga della matrice, la tensione sulla linea di coincidenza corrispondente a tale riga non varia e l'amplificatore di rivelazione 380, collegato alla stessa linea di coincidenza, fornisce un segnale ad un blocco codificatore di priorità 385 che genera un

Dr. Claudio MAGGIONI  
N. 16012. ALEO 113  
(In proprio e per gli altri)



segnale d'uscita ADROUT che identifica la posizione nella matrice della parola che corrisponde alla parola cercata. Viceversa, se le due parole differiscono anche per un solo bit l'amplificatore 380 rivela la variazione di tensione sulla linea di coincidenza e nessun segnale d'uscita viene generato.

Nella matrice di memoria descritta è necessario controllare accuratamente la soglia bassa dei transistori 211,212 in modo che sia sempre al di sopra di un valore minimo prefissato, ad esempio 0,5V. A tal proposito, si consideri una cella della matrice in cui è memorizzato un bit (cioè uno dei transistori 211,212 ha soglia bassa). Se tale cella appartiene ad una riga in cui non c'è coincidenza quando si esegue l'operazione di ricerca come descritto precedentemente, la tensione della corrispondente linea di coincidenza tende sempre a portarsi alla tensione di massa. Durante la ricerca, può accadere che i terminali di gate e drain di uno dei due transistori 211,212 avente soglia bassa, siano posti alla tensione  $V_{cc}$  e che la differenza di tensione tra il terminale di gate e quello di source (connesso alla linea di coincidenza) dello stesso transistor superi la sua tensione di soglia quando il potenziale della linea di coincidenza si muove verso la tensione di massa. In tal caso, il transistor in esame conduce una corrente

Dr. Claudio MAGGIONI  
N. Iscriz. ALBO 113  
(in proprio e per gli altri)

parassita che carica la linea di coincidenza ed aumenta all'aumentare della tensione gate-source. Se più celle in una stessa riga conducono tali correnti parassite la tensione della linea di coincidenza non si scosta sufficientemente dal potenziale iniziale di precarica (per es.  $V_{CC}$ ), per cui, nei casi limite, può risultare difficile rivelare una non coincidenza durante la ricerca. L'effetto delle correnti parassite si può trascurare, ai fini della generazione del segnale sulla linea di coincidenza, solo se la tensione di soglia bassa dei transistori 211,212 è superiore a 0,5V. Ciò pone dei vincoli molto restrittivi all'algoritmo di cancellazione, che deve essere tanto più preciso quanto minore è la tensione applicata alla linea di parola. Ad esempio, una tensione sulla linea di parola di 1,8V implicherebbe il confinamento di tutte le soglie basse di tutte le celle tra 0,5V e 1V. Rimane, comunque, il problema della dissipazione di potenza dovuta alle correnti parassite. Il caso pessimo si realizza quando vi è una condizione di coincidenza per metà delle celle su una riga e di non coincidenza per l'altra metà. La linea di coincidenza scende ad un valore intermedio tra  $V_{CC}$  e massa e si crea un cammino resistivo tra i due potenziali.

Si consideri, inoltre, il caso sfavorevole, ma non inusuale, in cui, durante una ricerca, tutte le celle di

una colonna della matrice non presentano coincidenza, mentre nelle altre celle della matrice c'è coincidenza; in questo caso, la corrente passante per una delle linee di bit associate a tale colonna deve scaricare le capacità associate a tutte le linee di coincidenza della matrice. Infatti, in ogni cella appartenente alla colonna in esame uno dei transistori 211 o 212, quando conduce, collega una delle linee di bit, che è al potenziale di massa, alla linea di coincidenza della riga di cui fa parte la cella che si trova alla tensione  $V_{cc}$ . Le linee di coincidenza da scaricare costituiscono un carico capacitivo complessivo relativamente elevato (es. 100pF); pertanto, in questo caso particolare, la matrice descritta richiede un tempo relativamente molto lungo per eseguire l'operazione di ricerca.

Quando in una riga della matrice di celle descritta manca la coincidenza in una sola cella, la scarica della linea di coincidenza associata a tale riga è più lenta rispetto al caso in cui la coincidenza manca in diverse celle. Per rendere più veloce l'operazione di ricerca e, contemporaneamente, per dissipare meno durante le commutazioni, l'escursione di tensione della linea di coincidenza viene ridotta facendo in modo che la tensione su tale linea non arrivi alla tensione di massa (a partire dalla tensione  $V_{cc}$ ), ma arrivi ad un valore basso

sempre superiore alla massa. Ciò si ottiene utilizzando adeguati circuiti di recupero della tensione, esterni alla matrice di memoria, che vengono collegati alla linea di coincidenza durante la ricerca. L'aggiunta dei circuiti di recupero, tuttavia, complica la struttura circuitale della memoria nota sopra descritta.

Lo scopo principale della presente invenzione è quello di risolvere i problemi della memoria CAM nota sopra descritta, in particolare di evitare le limitazioni imposte alla tensione di soglia bassa dei transistori al fine di semplificare l'algoritmo di cancellazione, di rendere più rapida l'operazione di ricerca e di rendere più semplice la struttura circuitale della memoria.

Tale scopo viene conseguito realizzando una memoria di tipo CAM non volatile, come quella definita e caratterizzata in generale nella rivendicazione 1.

L'invenzione sarà meglio compresa dalla seguente descrizione dettagliata di un esempio di realizzazione, dato a titolo indicativo e non limitativo, in riferimento ai disegni allegati, in cui:

- la figura 1 è uno schema circuitale di una cella CAM non volatile nota,
- la figura 2 è uno schema circuitale di una memoria CAM non volatile comprendente una matrice di celle come quella della figura 1,

Dr. Claudio MAGGIONI  
N. iscr. ALEO 113  
(In proprio e per gli altri)



- la figura 3 è uno schema circuitale di una memoria CAM non volatile secondo l'invenzione e
- la figura 4 è uno schema circuitale di una cella di una memoria CAM non volatile secondo l'invenzione.

Come si vede nella figura 3, la memoria secondo l'invenzione comprende una molteplicità di celle CELL ordinate in una matrice di m righe e n colonne. Ciascuna riga della matrice comprende quattro linee elettriche, rispettivamente una linea di parola WL1-m, una linea di coincidenza ML1-m, una linea di massa GL1-m e una linea di controllo di massa GNDCTRL1-m, che sono connesse ad un blocco 10 con funzione di decodificatore di riga. Ciascuna colonna comprende due linee, una linea di bit destra BLR1-n e una linea di bit sinistra BLL1-n, collegate ad un blocco 11 con funzione di decodificatore di colonna e ad un blocco 12 con funzione di controllo dell'operazione di ricerca. Tutte le celle su una stessa riga sono connesse alle quattro linee associate alla riga e tutte le celle su una stessa colonna sono connesse alle due linee associate alla colonna.

Come è mostrato nello schema circuitale della figura 4, ogni cella comprende 4 transistori: due transistori di tipo floating-gate F1 e F2 con funzione di elementi di memoria non volatile e due transistori M1 e M2 con funzione di interruttori elettronici. I due transistori

Dr. Claudio MAGGIONI  
N. Iscritt. ALBO 113  
(In proprio e per gli altri)

F1 e F2 hanno i terminali di source collegati ad un terminale elettrico comune MG che sarà denominato nel seguito nodo di coincidenza, i terminali di gate di controllo collegati insieme ad una linea di parola WL e i terminali di drain collegati, rispettivamente, ad una linea di bit destra BLR e ad una linea di bit sinistra BLL. Il transistor M1 ha il terminale di gate collegato al nodo di coincidenza MG ed il tratto source-drain connesso tra una linea di massa GL e una linea di coincidenza ML. Il transistor M2 ha il terminale di gate connesso ad una linea di controllo di massa GNDCTRL ed il tratto source-drain connesso tra il nodo di coincidenza MG e la linea di massa GL.

In ciascuna cella, analogamente al caso del brevetto US 6317349 B1, se si fissa una soglia bassa (es. 1V) per F2 e alta (es. 5,5V) per F1 si memorizza uno 0 logico, mentre, se le soglie vengono fissate in maniera opposta, si memorizza un 1 logico. Se si programmano entrambe le soglie ad un valore alto si memorizza lo stato indifferente X. Pertanto, anche la cella proposta realizza una memoria CAM ternaria.

Per scrivere un bit in una cella CAM come quella della figura 4 già cancellata (transistori F1 e F2 con le soglie basse), anzitutto, una tensione elevata viene applicata alla linea di parola WL (es. da 5V a 8V). Se si



pone la tensione della linea di controllo di massa GNDCTRL ad un valore elevato (es. da 5V a 8V) e si fissa la linea di massa GL al potenziale di massa, in modo da mettere il transistor M2 in condizione di condurre, anche il nodo di coincidenza MG risulta collegato al potenziale di massa. Per memorizzare un 1 logico, una tensione intermedia viene applicata alla linea di bit sinistra BLL lasciando la linea di bit destra BLR non connessa. Pertanto, la soglia del transistor F2 aumenta e la soglia del transistor F1 resta bassa. Per memorizzare uno 0 logico si agisce in maniera contraria sulle linee di bit per aumentare la soglia del transistor F1. Per memorizzare lo stato X la tensione intermedia viene applicata ad entrambe le linee di bit.

Per la cancellazione di un bit nella cella, il substrato dei transistori F1, F2, comune a tutte le celle, è fissato a tensione elevata (es. 8V), una tensione negativa è applicata alla linea di parola WL e la linea di controllo di massa GNDCTRL viene collegata a massa lasciando le altre linee non connesse. In tal modo vengono rimossi gli elettroni dalla floating-gate di uno dei transistori F1, F2 avente soglia alta, mentre la tensione di soglia dell'altro varia in misura molto minore.

Nell'operazione di ricerca, inizialmente, il

Dr. Claudio MAGGIONI

N. 182 ALBO 113  
(in proprio e per gli altri)

potenziale di massa ( $V_{GL}$ ) è applicato alla linea di massa GL, una tensione positiva bassa ( $V_{ML}$ ) (es. da 0,8V a 1,8V) è applicata alla linea di coincidenza ML e una tensione sufficientemente elevata (es. da 5V a 8V) è applicata alla linea di controllo di massa GNDCTRL in modo da accendere il transistor M2; così il nodo MG si scarica assumendo la tensione della linea GL. Se il bit da ricercare nella cella è uno 0, una tensione  $V_{SEARCH}$  (es. da 1,2V a 2V) viene applicata alla linea di bit destra BLR e la linea di bit sinistra BLL viene lasciata non connessa. Ponendo una tensione opportuna, inferiore alla soglia alta dei transistori F1, F2, (ad esempio 4V) sulla linea di parola WL e applicando il potenziale di massa alla linea GNDCTRL in modo da spegnere il transistor M2, nessuno dei transistori F1 e F2 conduce, il nodo di coincidenza MG non viene caricato, il transistor M1 rimane spento e il valore di tensione sulla linea di coincidenza ML non cambia: il bit immagazzinato corrisponde al bit ricercato, che è uno 0. Viceversa, se il bit che si cerca è un 1 la stessa tensione  $V_{SEARCH}$  viene applicata alla linea di bit sinistra BLL lasciando non connessa la linea di bit destra BLR. In tal caso, il transistor F1 continua ad essere spento mentre il transistor F2 conduce e fa salire la tensione del nodo interno MG fino al valore  $V_{SEARCH}$ . Tale tensione provoca

Dr. Claudio MAGGIONI  
N. Iscriz. ALBO 113  
(in proprio e per gli altri)



l'accensione del transistor  $M1$ ; di conseguenza, la linea di coincidenza  $ML$ , va al potenziale di massa: il bit immagazzinato non corrisponde al bit ricercato ed è perciò uno 0. Se lo stato memorizzato è lo stato indifferente  $X$ , nessuno dei due transistori  $F1$  e  $F2$  può condurre e la tensione sulla linea  $ML$  rimane invariata. Si ha sempre coincidenza tra stato memorizzato e bit ricercato. Alla fine di ogni operazione di ricerca il nodo  $MG$  viene scaricato riaccendendo il transistor  $M2$  con l'applicazione di una tensione positiva alla linea  $GNDCTRL$ .

Con riferimento alla matrice di celle rappresentata in figura 3, durante la ricerca di una parola immagazzinata in un registro contenuto nel blocco 12, il blocco 11 applica la tensione  $V_{SEARCH}$ , ricevuta da un regolatore (non rappresentato), ad una delle linee di bit di ciascuna delle  $n$  coppie (lasciando l'altra linea di bit non connessa), mentre il blocco 10 fissa le tensioni sulle linee di parola  $WL1-m$ , di massa  $GL1-m$ , di controllo di massa  $GNDCTRL1-m$  e di coincidenza  $ML1-m$  di ciascuna delle  $m$  righe. La mancata coincidenza, anche di un solo bit, tra la parola memorizzata in una riga della matrice e la parola da ricercare determina una variazione di tensione sulla linea di coincidenza  $ML$ , associata a tale riga, rilevabile attraverso un amplificatore di

Dr. Claudio MAGGIONI  
N. iscriz. ALBO TDS  
(in proprio e per gli altri)

rivelazione (collegato alla stessa linea ML, ma non rappresentato nella figura 3).

Dalla precedente descrizione della memoria si nota che i transistori M1 appartenenti a celle che si trovano su una stessa riga della matrice sono in parallelo tra loro in quanto connessi tra una linea di massa GL ed una linea di coincidenza ML. Considerando sia tale posizione circuitale che il funzionamento delle celle durante la ricerca, ciascuna riga della matrice realizza, durante la ricerca, la funzione logica di una porta NOR avente come ingressi gli  $n$  nodi MG e come uscita la linea di coincidenza ML. Infatti, se le tensioni che possono essere assunte dal nodo MG di ciascuna cella, cioè la tensione  $V_{SEARCH}$  (se non c'è coincidenza) e il potenziale di massa (se c'è coincidenza), si interpretano, rispettivamente, come 1 logico e 0 logico e gli stati di variazione di tensione e di non variazione di tensione della linea di coincidenza ML si interpretano, rispettivamente, come 0 logico e 1 logico, sull'uscita della porta si ha un 1 logico solo quando tutti gli ingressi sono a 0, secondo la logica di una porta NOR. Per tale motivo la memoria può essere denominata CAM di tipo NOR.

Durante la ricerca, il nodo di coincidenza MG di ogni singola cella non è collegato ai nodi di coincidenza

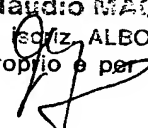
Dr. Claudio MAGGIONI  
N. scart. ALFO 113  
(in proprio e per gli altri)

MG delle celle poste su colonne diverse, ma è connesso, attraverso le linee di bit BLR e BLL, soltanto ai nodi di coincidenza MG di eventuali celle in stato di non coincidenza appartenenti alla stessa colonna.

E' facile costatare che la presente invenzione presenta numerosi vantaggi rispetto all'arte nota. In particolare, nel caso sfavorevole considerato in relazione al brevetto US 6317349 B1, in cui tutte le celle di una colonna della matrice sono nella condizione di non coincidenza, le correnti sulle linee di bit caricano solo i nodi MG delle celle sulla stessa colonna, quindi caricano una capacità complessiva di valore molto inferiore a quello delle capacità che devono essere scaricate, a parità di condizioni, nel caso della memoria nota della figura 2, cioè delle capacità associate a tutte le linee di coincidenza della matrice.

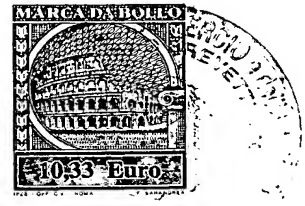
Secondo l'invenzione, i terminali di source dei transistori F1 e F2 di ogni cella (coincidenti con i rispettivi nodi MG) non sono direttamente connessi alla linea di coincidenza ML come nella cella di figura 1. Se in una riga è memorizzato un dato (tutte le celle con almeno uno tra F1 e F2 con soglia alta) non possono essere prodotte correnti parassite. Tali correnti sono generate soltanto nelle righe il cui contenuto è cancellato (F1 e F2 con soglia bassa) e possono essere

Dr. Claudio MAGGIONI  
N. 150/12, ALBO 113  
(In proprio e per gli altri)



eliminate portando le corrispondenti linee di parola ad una tensione bassa (ad esempio da massa a  $-2V$ ). In ogni caso, le correnti parassite caricano al massimo il nodo MG e non la rispettiva linea di coincidenza ML. Pertanto, le errate valutazioni della non coincidenza sono evitate, la ricerca è più veloce e non è necessario controllare accuratamente la soglia bassa di  $F1, F2$  semplificano l'algoritmo di cancellazione.

Durante la ricerca, la massima escursione di tensione della linea di coincidenza di una riga in cui non c'è coincidenza è  $V_{ML} - V_{GL}$ , dove  $V_{ML}$  e  $V_{GL}$  sono le tensioni applicate, rispettivamente, per la precarica della linea di coincidenza e alla linea di massa. Tale escursione di tensione determina una dissipazione di potenza. Grazie alla configurazione della cella della memoria secondo l'invenzione, tale dissipazione può essere ridotta al minimo mediante un opportuno dimensionamento dei transistori M1 e un'opportuna polarizzazione delle linee GL e ML. Più particolarmente, prima della ricerca, la linea di massa GL viene precaricata ad un valore di tensione positivo (es.  $1,8V$ ) piuttosto che al potenziale di massa e la linea di coincidenza ML viene precaricata ad un potenziale basso (ad es. da massa a  $0,5V$ ) piuttosto che ad una tensione più elevata (maggiore di  $V_{GL}$ ). Durante la ricerca, quando



la tensione  $V_{\text{SEARCH}}$  viene applicata al terminale di gate del transistor  $M1$ , in caso di non coincidenza, tale transistor conduce e la linea di coincidenza  $ML$  si carica dal potenziale basso fino al valore  $V_{\text{SEARCH}} - V_T(M1)$ , dove  $V_T(M1)$  è la tensione di soglia del transistor  $M1$ : l'escursione di tensione della linea di coincidenza  $ML$  è, in tal caso,  $V_{\text{SEARCH}} - V_T(M1) - V_{ML}$ . Pertanto, a parità di tensione  $V_{\text{SEARCH}}$ , l'escursione di tensione della linea di coincidenza  $ML$  viene ridotta scegliendo soltanto un'adeguata tensione di soglia per il transistor  $M1$ . Di conseguenza, la ricerca è più veloce e la dissipazione di potenza dinamica è inferiore senza che sia necessario utilizzare dei circuiti di recupero di tensione come nella tecnica nota.

Per quanto sia stata illustrata e descritta una sola forma d'esecuzione della presente invenzione è chiaro che numerose varianti e modifiche sono possibili nell'ambito dello stesso concetto inventivo. Per esempio, si può progettare il blocco 11 in modo che, durante la ricerca, le linee di bit di ogni colonna siano polarizzate una alla tensione  $V_{\text{SEARCH}}$  e l'altra al potenziale di massa, anziché una alla tensione  $V_{\text{SEARCH}}$  e l'altra a nessuna tensione (perché lasciata non connessa, o connessa ad un terminale ad alta impedenza). In tal modo, si evita di adoperare, per polarizzare ogni coppia di linee di bit,

Dr. Claudio MAGGIONI  
N. 1033 ALBO 113  
(in proprio e per gli altri)

un dispositivo a tre stati che, altrimenti è necessario per avere un stato ad alta impedenza. Inoltre, il valore di tensione iniziale del nodo MG può essere fissato non a massa, ma ad una tensione positiva (es. 1,8V). In tal caso la tensione  $V_{\text{SEARCH}}$  (che carica tale nodo se non c'è coincidenza) deve essere più elevata, ma si ottiene il vantaggio di ridurre l'escursione di tensione del nodo MG e le relative dissipazioni. Infine, la linea di massa GL e la linea di coincidenza ML di ogni riga possono essere precaricate ad un potenziale basso  $V_{\text{low}}$  (es. 1,8V) e, di conseguenza, la tensione  $V_{\text{SEARCH}}$  deve essere più elevata del potenziale  $V_{\text{low}}$  per far condurre il transistor M1 di ogni cella in cui non c'è coincidenza. Per tale variante dell'invenzione, la ricerca si esegue portando le linee di coincidenza ML della matrice di celle al potenziale di massa per brevi intervalli di tempo: la tensione delle linee di coincidenza ML di righe in cui c'è coincidenza rimane al potenziale di massa, mentre per righe in cui non c'è coincidenza la tensione delle corrispondenti linee di coincidenza ML ritorna al potenziale  $V_{\text{low}}$ .



Dr. Claudio MAGGIONI  
N. iscriz. ALEO 113  
(in proprio e per gli altri)



### Rivendicazioni

1. Memoria di tipo CAM non volatile comprendente

- una molteplicità di celle di memoria ordinate in una matrice per righe e per colonne,

- una linea di parola (WL) e una linea di coincidenza (ML) associate ad ogni riga di celle,

- una prima (BLR) e una seconda (BLL) linea di bit associate ad ogni colonna di celle,

ogni cella comprendendo

- un primo elemento di memoria non volatile (F1) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla prima linea di bit (BLR) associata alla colonna contenente la cella e un secondo terminale collegato ad un nodo di coincidenza (MG) della cella e

- un secondo elemento di memoria non volatile (F2) avente un terminale di comando collegato alla linea di parola (WL) associata alla riga contenente la cella, un primo terminale collegato alla seconda linea di bit (BLL) associata alla colonna contenente la cella e un secondo terminale collegato al nodo di coincidenza (MG) della cella,

caratterizzata dal fatto che comprende inoltre

- una linea di controllo di massa (GNDCTRL) e una

Dr. Claudio MAGGIONI  
N. Iscriz. ALBO 113  
(In proprio e per gli altri)

linea di massa (GL) associate ad ogni riga di celle e dal fatto che ogni cella comprende, inoltre,

- un primo interruttore elettronico comandato (M1) collegato tra la linea di massa (GL) e la linea di coincidenza (ML) associate alla riga contenente la cella e avente un terminale di comando collegato al nodo di coincidenza (MG) della cella e

- un secondo interruttore elettronico comandato (M2) collegato tra il nodo di coincidenza (MG) della cella e la linea di massa (GL) associata alla riga contenente la cella e avente un terminale di comando collegato alla linea di controllo di massa (GNDCTRL) associata alla riga contenente la cella.

2. Memoria di tipo CAM secondo la rivendicazione 1, in cui il primo (F1) e il secondo (F2) elemento di memoria non volatile di ciascuna cella sono transistori di tipo floating-gate in cui il primo terminale è il drain e il secondo è il source, e il primo (M1) e il secondo (M2) interruttore elettronico comandato di ciascuna cella sono transistori MOS.

3. Memoria di tipo CAM secondo la rivendicazione 1 o 2, in ciascuna cella della quale

- se il primo elemento di memoria non volatile (F1) ha una tensione di soglia bassa e il secondo elemento di memoria non volatile (F2) ha una tensione di soglia alta

Dr. Claudio MAGGIONI  
N. 1307 ALBO 113  
(In proprio e per gli altri)



è memorizzato un 1 logico,

- se il primo elemento di memoria non volatile (F1) ha una tensione di soglia alta e il secondo elemento di memoria non volatile (F2) ha una tensione di soglia bassa è memorizzato uno 0 logico e

- se gli elementi di memoria non volatile (F1,F2) hanno entrambi tensione di soglia alta è memorizzato uno stato indifferente X.

4. Metodo per eseguire la ricerca di una parola binaria immagazzinata in una memoria di tipo CAM secondo la rivendicazione 1, 2 o 3, comprendente le seguenti operazioni:

- associare ad ogni colonna della matrice un elemento di un registro di comparazione,

- inserire la parola da cercare nel registro di comparazione,

- confrontare, bit per bit, il contenuto del registro di comparazione col contenuto di ogni riga eseguendo, per ogni riga, le seguenti operazioni:

- applicare alla linea di massa (GL) una prima tensione prefissata,

- applicare alla linea di coincidenza (ML) una seconda tensione prefissata,

- applicare alla linea di parola (WL) una terza tensione prefissata,

Dr. Claudio MAGGIONI  
N. Iscritt. ALBO 113  
(In proprio e per gli altri)

- applicare alla linea di controllo di massa (GNDCTRL) una quarta tensione prefissata sufficiente a chiudere l'interruttore elettronico M2 e a scaricare i nodi di coincidenza (MG) delle celle della riga e applicare subito dopo alla stessa linea di controllo di massa (GNDCTRL) la prima tensione prefissata,

- polarizzare successivamente le linee di bit di ogni colonna applicando una prefissata tensione di ricerca ( $V_{\text{SEARCH}}$ ) alla prima o alla seconda linea di bit, secondo che il bit rispettivo del registro di comparazione sia in un primo o in un secondo stato logico,

- sorvegliare la tensione della linea di coincidenza (ML) e

- generare un segnale di coincidenza se la tensione sulla linea di coincidenza (ML) non varia o un segnale di non coincidenza se la tensione sulla linea di coincidenza (ML) varia.

5. Metodo secondo la rivendicazione 4, in cui, nell'operazione di polarizzare successivamente le linee di bit, la linea di bit alla quale non è applicata la prefissata tensione di ricerca ( $V_{\text{SEARCH}}$ ) viene lasciata non connessa.

6. Metodo secondo la rivendicazione 4, in cui,

Dr. Claudio MAGGIORI  
 N. iscriz. ALBO 113  
 (In proprio e per gli altri)

nell'operazione di polarizzare successivamente le linee di bit, alla linea di bit alla quale non è applicata la prefissata tensione di ricerca ( $V_{SEARCH}$ ) viene applicata una tensione di riferimento.

7. Metodo secondo una qualsiasi delle rivendicazioni da 4 a 6, in cui

- la prima tensione prefissata applicata alla linea di massa (GL) è di circa 0V,
- la seconda tensione prefissata applicata alla linea di coincidenza (ML) è compresa tra 0,8V e 1,8V,
- la terza tensione prefissata applicata alla linea di parola (WL) è di circa 4V,
- la quarta tensione prefissata applicata alla linea di controllo di massa (GNDCTRL) è compresa tra 5V e 8V,
- la prefissata tensione di ricerca ( $V_{SEARCH}$ ) è compresa tra 1,2V e 2V.

8. Metodo secondo una qualsiasi delle rivendicazioni da 4 a 6, in cui

- la prima tensione prefissata applicata alla linea di massa (GL) è di circa 1,8V,
- la seconda tensione prefissata applicata alla linea di coincidenza (ML) è compresa tra 0V e 0,5V,
- la terza tensione prefissata applicata alla linea di parola (WL) è di circa 4V,
- la quarta tensione prefissata applicata alla linea

di controllo di massa (GNDCTRL) è compresa tra 5V e 8V,

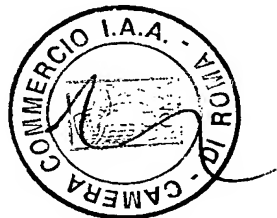
- la prefissata tensione di ricerca ( $V_{\text{SEARCH}}$ ) è superiore alla tensione applicata alla linea di massa (GL).



**Dr. Claudio MAGGIONI**

N. iscriz. ALBO 103

(in proprio e per gli altri)





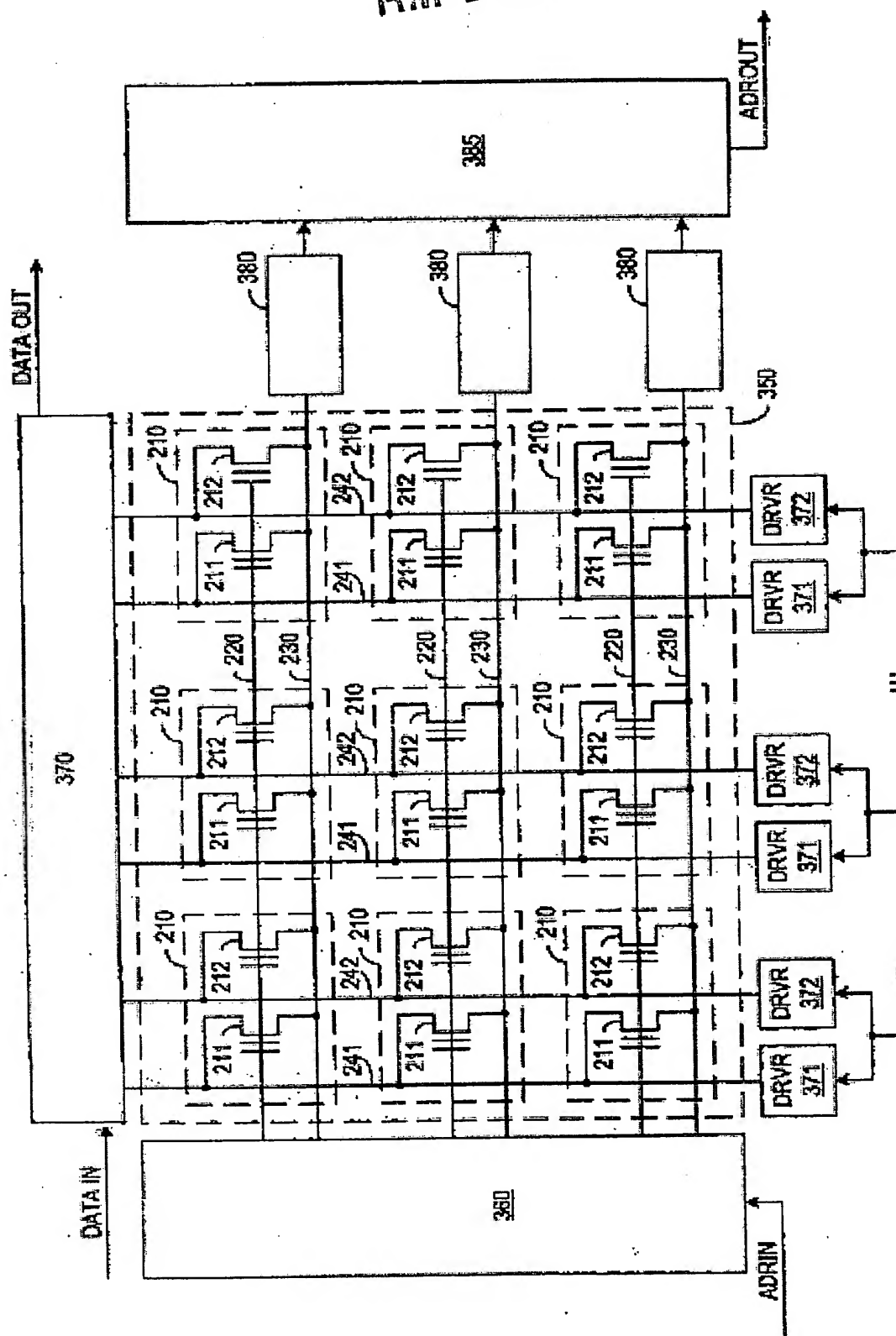
**Dr. Claudio MAGGIONI**  
N. iscriz. ALBO 113  
(improprio e per gli altri)

(in proprio e per gli altri)

RM 2002 A 000465

Dr. Claudio MAGGIORANI  
N. iscriz. ALBO 114  
(In proprio e per gli altri)

FIG.2





RM 2002 A 000465

Dr. Claudio MAGGIONI

N. iscriz. ALDO 113

(in proprio e per gli altri)

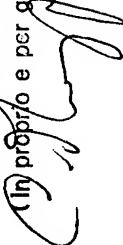
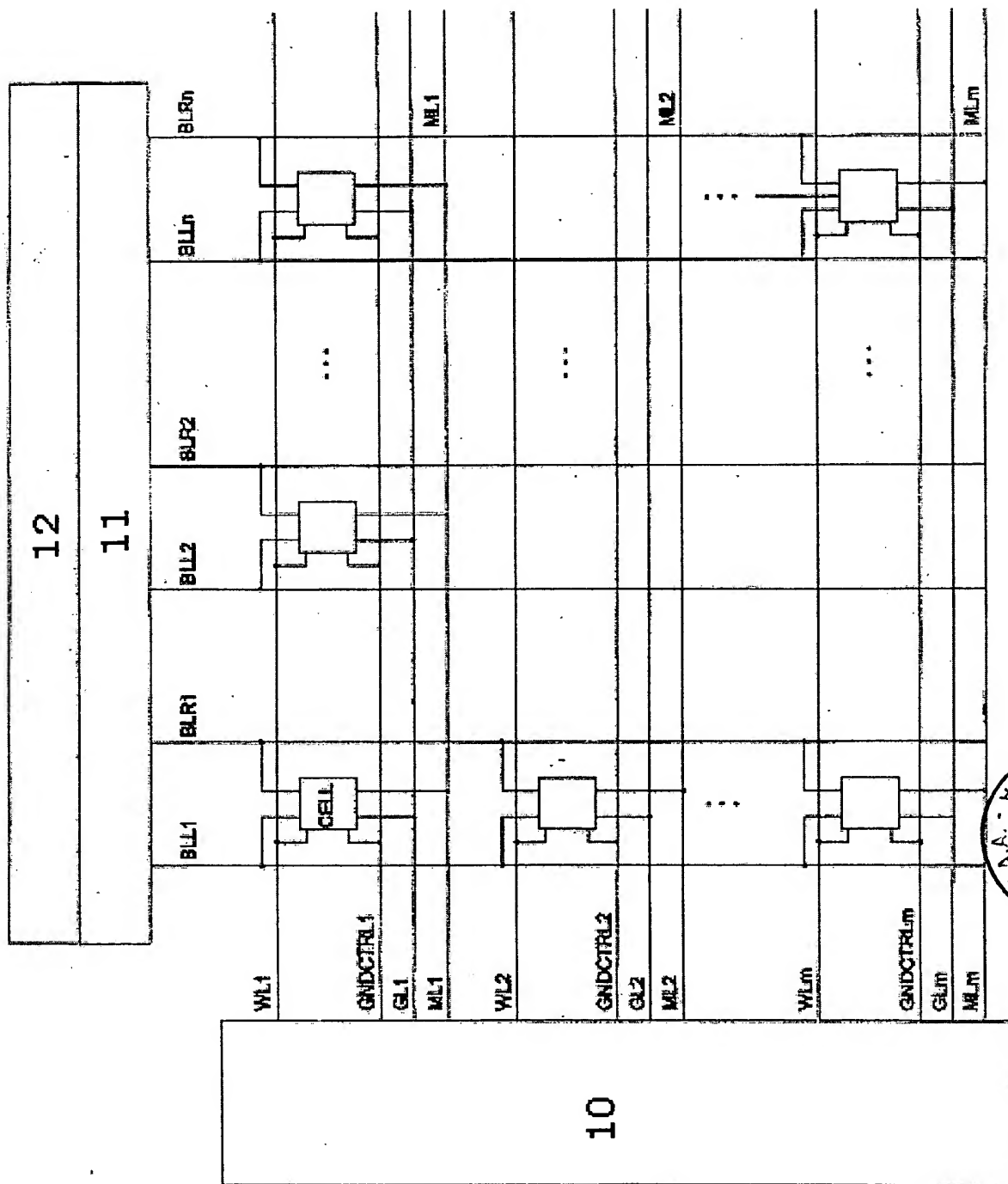
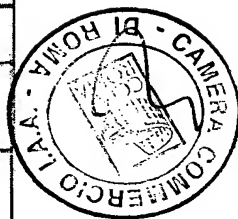



FIG. 3



AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO MODULO A  
UFFICIO ITALIANO BREVETTI E MARCHI - ROMA  
DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

## A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l.  
Residenza AGRATE BRIANZA (Milano) codice 00951900968  
2) Denominazione \_\_\_\_\_  
Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome e nome MAGGIONI Claudio ed altri cod. fiscale \_\_\_\_\_  
denominazione studio di appartenenza JACOBACCI & PARTNERS S.p.A.  
via delle Quattro Fontane n. 15 città ROMA cap 00184 (prov) RM

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

## D. TITOLO

classe proposta (sez/cl/sci) \_\_\_\_\_

gruppo/sottogruppo \_\_\_\_\_

Memoria CAM non volatile di tipo NOR.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_

N° PROTOCOLLO \_\_\_\_\_

## INVENTORI DESIGNATI

cognome nome

cognome nome

1) DE SANDRE Guido 3) \_\_\_\_\_  
2) \_\_\_\_\_ 4) \_\_\_\_\_

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

## SCIoglimento RISERVE

Data

N° Protocollo

1) \_\_\_\_\_  
2) \_\_\_\_\_

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICRORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 28 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)  
Doc. 2) 2 PROV n. tav. 03 disegno (obbligatorio se citato in descrizione, 1 esemplare)  
Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale  
Doc. 4) 1 RIS designazione inventore  
Doc. 5) 1 RIS documenti di priorità con traduzione in italiano  
Doc. 6) 1 RIS autorizzazione o atto di cessione  
Doc. 7) 1 nominativo completo del richiedente

8) attestati di versamento, totale Euro duecentonovantuno/80COMPILATO IL 20 09 2002

FIRMA DEL (I) RICHIEDENTE (I)

Dr. Claudio MAGGIONI

CONTINUA SUO NODEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SUO SI

(in proprio e per gli altri)

Camera di Commercio Industria Artigianato e Agricoltura Roma

codice 58

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

**RM 2002 A 000465**

L'anno

DUEMILADUE

il giorno

VENTI

del mese di

SETTEMBREIl (I) richiedente (I) sopraindicato (I) ha (hanno) presentato a me sottoscritto la presente domanda, corredata di n. 00 fogli aggiuntivi per la concessione del brevetto sopraindicato.

## I. ANNOTAZIONI VARIE DELL'UFFICIO ROGANTE

IL DEPOSITANTE

L'UFFICIO ROGANTE

Antonio Sciermo



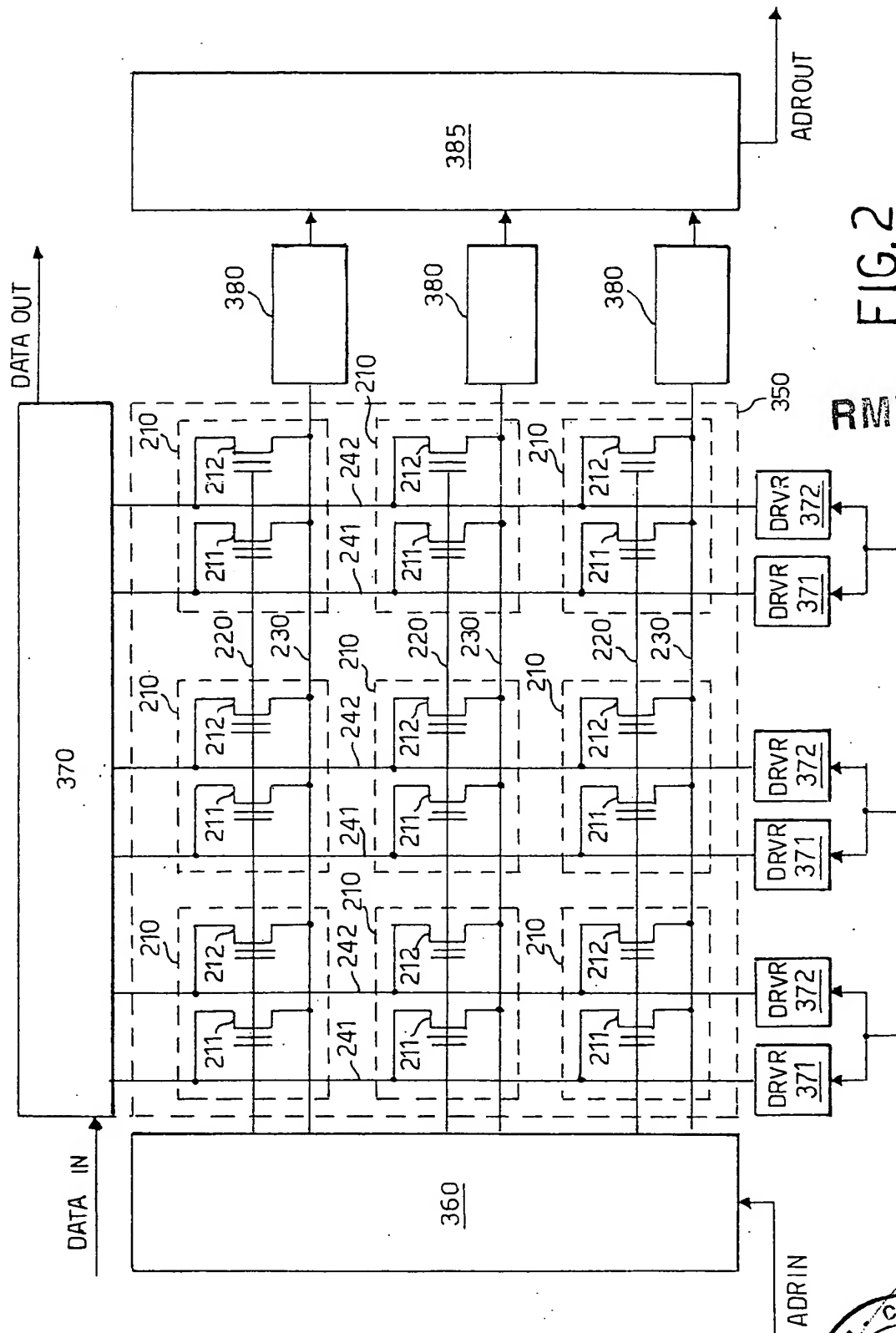
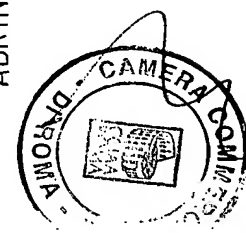


FIG. 2

RMR0864



Dr. Claudio MAGGIONI  
N. iscriz. ALBO 113  
In proprio e per gli altri

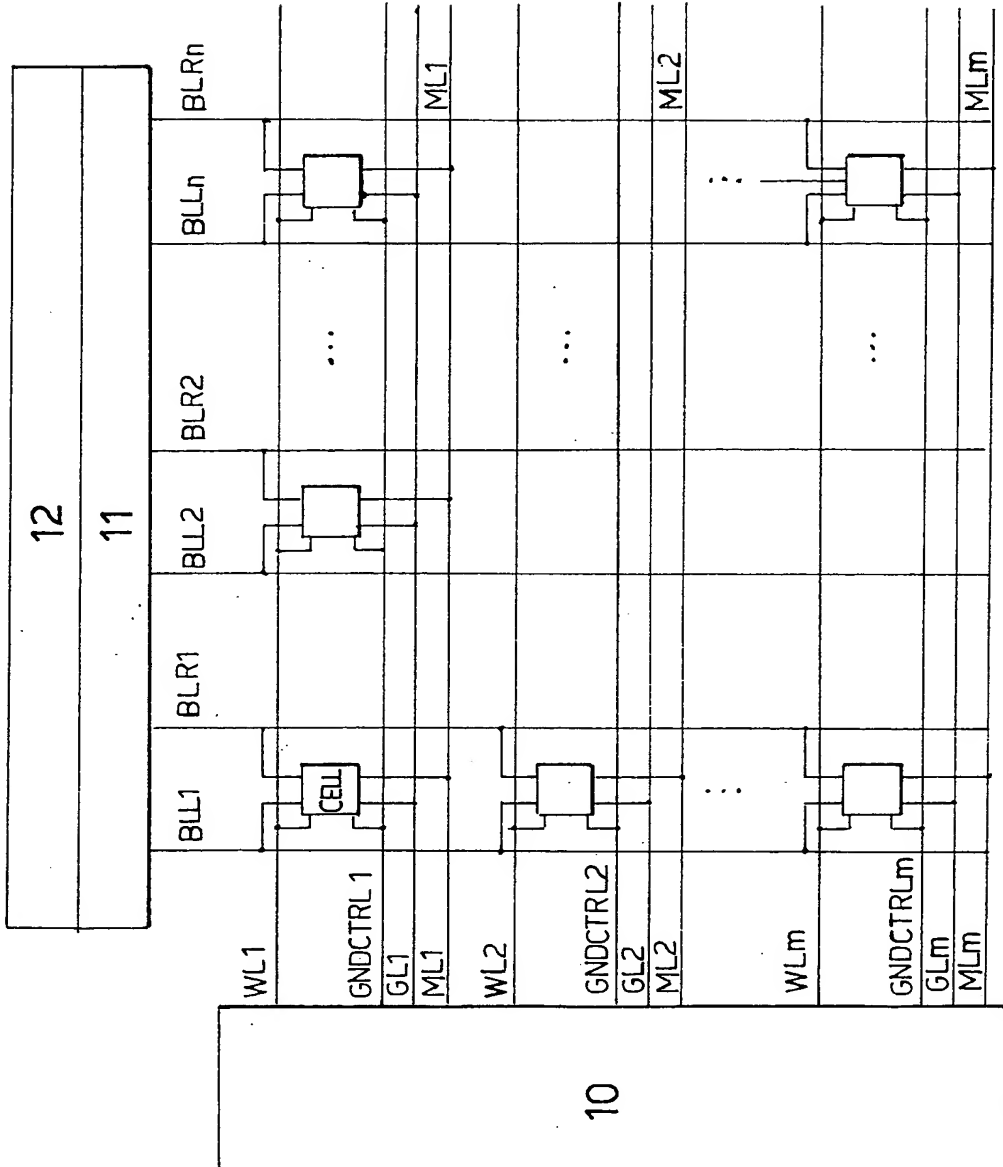
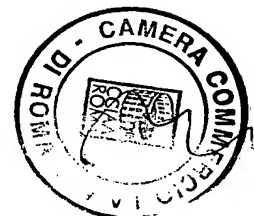


FIG.3

RMR0864



Dr. Claudio MAGGIONI  
N. 19472. ALBO 113  
(in proprio e per gli altri)